

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-045724

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

H01L 21/60

(21)Application number : 07-212470

(71)Applicant : MITSUMI ELECTRIC CO LTD

(22)Date of filing : 28.07.1995

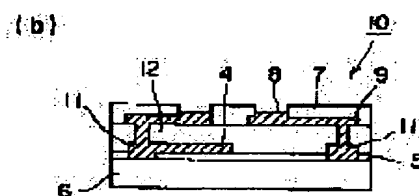
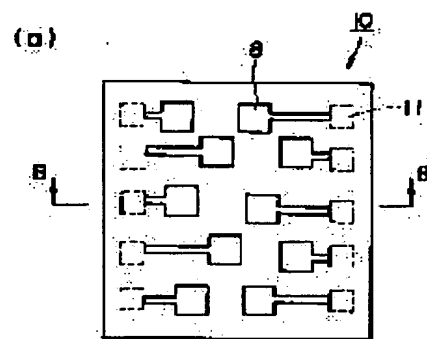
(72)Inventor : TSUZAKI YASUNORI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a higher-density and miniaturized semiconductor device by forming only an upper bonding pad part on an insulation film layer formed on a metal interconnection layer of an electrode part composed of a lower pad part formed on the same layer as the metal interconnection layer and upper bonding pad part.

SOLUTION: On a semiconductor substrate 6 are laminated a metal interconnection layer 4 which interconnects lower pads 11 of semiconductor elements and then an insulation film layer 5. Windows are bored through parts of this layer 5 corresponding to the pads 11 and upper bonding pads 8 making continual contact with the pads 11 are formed on the layer 5. Thus, an electrode part of a semiconductor device 10 is composed of the pads 11 formed on the same layer as the interconnection layer 4 and upper pads 8 formed on the upper face of an insulation film layer 12 formed on this layer 4. Only the upper bonding pads 8 are formed on the layer 12.



LEGAL STATUS

[Date of request for examination] 13.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The metal wiring layer which connects between the lower pad sections of each semiconductor device on a semiconductor substrate, The laminating of the insulating membrane layer is carried out to order, and a **** injury is carried out at this insulating membrane layer at the portion corresponding to this lower pad section. This lower pad section by which this lower pad section and the up bonding pad section through which it flows are furthermore formed on this insulating membrane layer, and the polar zone of a semiconductor device was formed in the same layer as this metal wiring layer, The semiconductor device characterized by consisting of this up bonding pad section formed in the upper surface of this insulating membrane layer on this metal wiring layer, and forming only this up bonding pad section on this insulating membrane layer.

[Claim 2] A semiconductor device given in the claim 1st characterized by forming the protective coat layer on the above-mentioned insulating membrane layer except for the above-mentioned up bonding pad section.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor device by which high-density integration was carried out especially about the metal wiring in a semiconductor device, and arrangement of the polar zone.

[0002]

[Description of the Prior Art] Drawing 2 (a) which shows the metal wiring in the conventional semiconductor device and arrangement of the polar zone is the plan of a semiconductor device, and drawing 2 (b) is the A-A' line cross section of drawing 2 (a).

[0003] The inside of drawing and 1 are the polar zone by which a semiconductor device and 2 were formed in the protective coat, and 3 was formed in the **** portion **** this morning of the oxide-film layer 5 on the semiconductor substrate 6, and 4 is a metal wiring layer which consists of aluminum.

[0004] Among these, the polar zone 3 is the bonding pad section for drawing of the semiconductor device formed on the semiconductor substrate 6, for example, is connected by the leadframe and wirebonding which are not illustrated.

[0005] Moreover, the metal wiring layer 4 connects between the above-mentioned polar zone 3, and constitutes arbitrary circuits.

[0006]

[Problem(s) to be Solved by the Invention] By the way, in the present IC manufacture, although much more densification and miniaturization are attained and ultra-fine processing technology was also progressing in connection with this, the rate of surface ratio which the bonding pad section on IC chip occupies also became large, and had checked the miniaturization as high integration progressed.

[0007] Moreover, only by making area of

the bonding putt section small, reliability is missing and there is a problem that workability is also bad.

[0008] Furthermore, since arrangement of the bonding putt section did not have the room which can be chosen arbitrarily, either, there was also a problem that there was little flexibility of a design.

[0009] The purpose of this invention is to obtain the semiconductor device which attained much more densification and miniaturization, and maintained the performance in the semiconductor device to integrate highly in view of the problem which the conventional semiconductor device which was described above has.

[0010]

[Means for Solving the Problem] The metal wiring layer with which the above-mentioned purpose connects between the lower pad sections of each semiconductor device on a semiconductor substrate according to this invention, The laminating of the insulating membrane layer is carried out to order, and a **** injury is carried out at an insulating membrane layer at the portion corresponding to the lower pad section. The lower pad section by which the lower pad section and the up bonding pad section through which it flows are furthermore formed on the insulating membrane layer, and the polar zone of a semiconductor device was formed in the same layer as a metal wiring layer, It consists of the up bonding pad section formed in the upper surface of the insulating membrane layer on a metal wiring layer, and is attained on an insulating membrane layer by the semiconductor device by which only the up bonding pad section was formed.

[0011]

[Embodiments of the Invention] The example of this invention is explained in detail based on drawing 1 (a) and (b). Drawing 1 (a) is the plan showing the example of the semiconductor device concerning this invention, and drawing 1

(b) is a B-B' line cross section in drawing 1 (a). About the same portion as drawing 2, a same sign is attached among drawing, and the detailed explanation is omitted.

[0012] By the metal wiring layer 4 which is the lower pad section by which ten were formed in the semiconductor device among drawing 1, and 11 was formed in the **** portion **** this morning of the oxide-film layer 5 on the semiconductor substrate 6, for example, consists of aluminum, between these lower pad sections 3 is connected, and arbitrary circuits are constituted.

[0013] 12 in drawing is the layer insulation film formed on the above-mentioned metal wiring layer 4 and the lower pad section 11, and consists of the same material as the protective coat mentioned later. For example, it consists of NSG (non dope silicate glass), a PSG (phosphorus silicate glass), or SiN (silicon nitride).

[0014] Eight in drawing is the up bonding pad section by which flow connection was made with the lower pad section 11 through the metal wiring 9 which consists of aluminum, and is the ejection electrode section connected with the leadframe which is not illustrated by wirebonding etc. [0015] Moreover, seven in drawing is a protective coat located in the topmost part of a semiconductor device 10, and the **** injury is carried out at the portion corresponding to the up bonding pad section 8.

[0016] As shown in drawing 1 (a), the adjacent pad 8 of each other is arranged alternately, and the bonding pad 8 with a large area is formed of this as compared with the lower pad 11.

[0017]

[Effect of the Invention] While being formed in the layer from which the metal wiring layer located in the same layer as the lower pad section which was described above, and which touches a semiconductor substrate like according to this invention, and this lower pad section, and the up

bonding pad section differ Since the exclusive layer in which only the section bonding putt section was besides arranged is formed and the configuration of an up bonding pad can be enlarged, without being influenced by high integration of IC, workability is also good and a reliable semiconductor device can be obtained. [0018] Moreover, the position of an up bonding pad can also be chosen arbitrarily and the flexibility of a design increases it. [0019] Furthermore, since the up bonding pad section is formed in a different layer from a metal wiring layer, the densification and a miniaturization of IC can be attained further, without being influenced by the size of the up bonding pad section.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] (a) is the plan showing the example of the semiconductor device by this invention. (b) is the B-B' line cross section of the semiconductor device shown in (a).

[Drawing 2] (a) is the plan showing an example of the conventional semiconductor device. (b) is the A-A' line cross section of the semiconductor device shown in (a).

[Description of Notations]

- 4 Metal Wiring Layer
- 5 Oxide-Film Layer
- 6 Semiconductor Substrate
- 7 Protective Coat Layer
- 8 Up Bonding Pad Section
- 9 Metal Wiring
- 10 Semiconductor Device
- 11 Lower Pad Section
- 12 Insulating Membrane Layer

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45724

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl.⁶

H 0 1 L 21/60

識別記号

3 0 1

庁内整理番号

F I

H 0 1 L 21/60

技術表示箇所

3 0 1 N

C1, F1, N1

審査請求 未請求 請求項の数 2 F D (全 3 頁)

(21) 出願番号 特願平7-212470

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000006220

ミツミ電機株式会社

東京都調布市国領町8丁目8番地2

(72) 発明者 津崎 靖憲

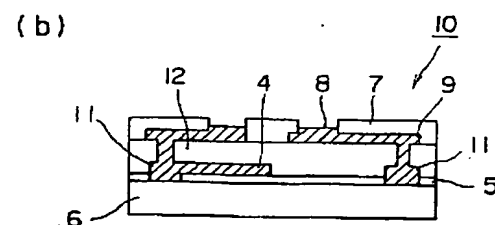
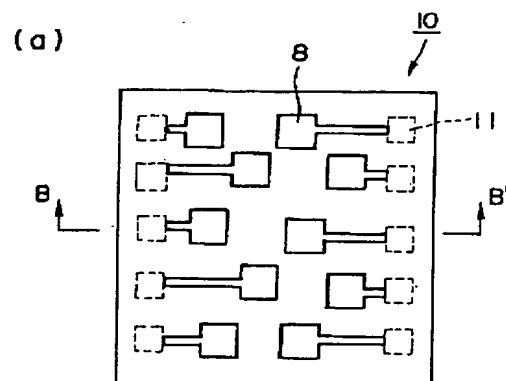
神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 高集積化する半導体装置において、より一層の高密度化、小型化を図り、且つ性能を維持した半導体装置を得る。

【解決手段】 半導体基板6上に、各半導体素子の下部パッド部11間を結ぶ金属配線層4と、絶縁膜層5とが順に積層されており、かつ絶縁膜層5には下部パッド部11に対応した部分に窓あけがされ、さらに絶縁膜層5上に下部パッド部11と導通する上部ボンディングパッド部8が形成されており、半導体装置10の電極部が、金属配線層4と同じ層に形成された下部パッド部11と、金属配線層4上の絶縁膜層12の上面に形成された上部ボンディングパッド部8とから成り、絶縁膜層12上には、上部ボンディングパッド部8のみが形成されている半導体装置。



(2)

【特許請求の範囲】

【請求項1】 半導体基板上に、各半導体素子の下部パッド部間を結ぶ金属配線層と、絶縁膜層とが順に積層されており、かつ該絶縁膜層には該下部パッド部に対応した部分に窓あけがされ、さらに該絶縁膜層上に該下部パッド部と導通する上部ボンディングパッド部が形成されており、半導体装置の電極部が、該金属配線層と同じ層に形成された該下部パッド部と、該金属配線層上の該絶縁膜層の上面に形成された該上部ボンディングパッド部とから成り、該絶縁膜層上には、該上部ボンディングパッド部のみが形成されていることを特徴とする半導体装置。

【請求項2】 上記上部ボンディングパッド部を除き、上記絶縁膜層上に保護膜層が形成されていることを特徴とする請求項第1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置における金属配線及び電極部の配置に関し、特に、高密度集積化された半導体装置に関するものである。

【0002】

【従来の技術】従来の半導体装置における金属配線及び電極部の配置を示す、図2(a)は半導体装置の平面図、図2(b)は図2(a)のA-A'線断面図である。

【0003】図中、1は半導体装置、2は保護膜、3は半導体基板6上の酸化膜層5の窓あけされた部分に形成された電極部であり、4は、例えばアルミニウムから成る金属配線層である。

【0004】このうち、電極部3は、半導体基板6上に形成された半導体素子の取出し用ボンディングパッド部であり、例えば、図示しないリードフレームとワイヤボンディングにより接続される。

【0005】また、金属配線層4は、上記電極部3の間を結び、任意の回路を構成している。

【0006】

【発明が解決しようとする課題】ところで、現在のIC製造においては、より一層の高密度化・小型化が図られており、これに伴って微細加工技術も進歩しているが、高集積化が進むに従って、ICチップ上におけるボンディングパッド部の占める面積比率も大きくなり、小型化を阻害していた。

【0007】また、単にボンディングパッド部の面積を小さくしただけでは、信頼性に欠け、作業性も悪いという問題がある。

【0008】さらに、ボンディングパッド部の配置も、任意に選択できる余地がないので、設計の自由度が少ないという問題もあった。

【0009】本発明の目的は、以上に述べたような従来の半導体装置のもつ問題に鑑み、高集積化する半導体装

2

置において、より一層の高密度化・小型化を図り、且つ性能を維持した半導体装置を得るにある。

【0010】

【課題を解決するための手段】本発明によれば、上述の目的は、半導体基板上に、各半導体素子の下部パッド部間を結ぶ金属配線層と、絶縁膜層とが順に積層されており、かつ絶縁膜層には下部パッド部に対応した部分に窓あけがされ、さらに絶縁膜層上に下部パッド部と導通する上部ボンディングパッド部が形成されており、半導体装置の電極部が、金属配線層と同じ層に形成された下部パッド部と、金属配線層上の絶縁膜層の上面に形成された上部ボンディングパッド部とから成り、絶縁膜層上には、上部ボンディングパッド部のみが形成された半導体装置により達成される。

【0011】

【発明の実施の形態】本発明の実施例を図1(a)、(b)に基づいて詳細に説明する。図1(a)は本発明に係る半導体装置の実施例を示す平面図であり、図1(b)は図1(a)中のB-B'線断面図である。図中、図2と同じ部分については同符号を付し、その詳細な説明は省略する。

【0012】図1中、10は半導体装置、11は半導体基板6上の酸化膜層5の窓あけされた部分に形成された下部パッド部であり、例えばアルミニウムから成る金属配線層4により、これら下部パッド部3の間を結び、任意の回路を構成している。

【0013】図中12は、上記金属配線層4及び下部パッド部11上に形成された層間絶縁膜であり、後述する保護膜と同様の材料から成る。例えば、NSG(ノンドープ・シリケートガラス)、PSG(リンシリケートガラス)またはSiN(窒化シリコン)等から構成される。

【0014】図中8は、例えばアルミニウムから成る金属配線9を介して、下部パッド部11と導通接続された上部ボンディングパッド部であり、図示しないリードフレームとワイヤボンディング等で接続される取り出し電極部である。

【0015】また、図中7は、半導体装置10の最上部に位置する保護膜であり、上部ボンディングパッド部8に対応する部分には窓あけがされている。

【0016】図1(a)に示されるように、隣り合うパッド8は互いに千鳥状に配され、このことにより、下部パッド11に比較して面積が大きいボンディングパッド8が形成される。

【0017】

【発明の効果】以上述べたように、本発明によれば、半導体基板に接する下部パッド部及びこの下部パッド部と同じ層に位置する金属配線層と、上部ボンディングパッド部とが異なる層に形成されると共に、この上部ボンディングパッド部のみが配設された専用層が形成されるた

(3)

3

め、上部ボンディングパッドの形状を、ICの高集積化に左右されことなく大型化できることから、作業性も良く、信頼性の高い半導体装置を得ることができる。

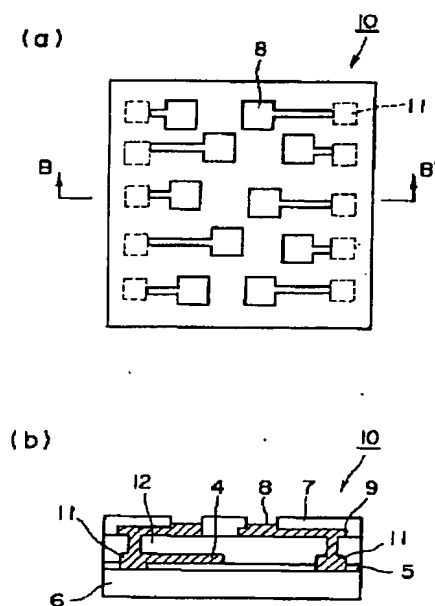
【0018】また、上部ボンディングパッドの位置も任意に選択でき、設計の自由度が増す。

【0019】さらに、上部ボンディングパッド部が、金属配線層と異なる層に形成されていることから、上部ボンディングパッド部の大きさに左右されずに、ICの高密度化・小型化をより一層図ることができる。

【図面の簡単な説明】

【図1】(a)は、本発明による半導体装置の実施例を示す平面図である。(b)は、(a)に示す半導体装置のB-B'線断面図である。

【図1】



4

【図2】(a)は、従来の半導体装置の一例を示す平面図である。(b)は、(a)に示す半導体装置のA-A'線断面図である。

【符号の説明】

- 4 金属配線層
- 5 酸化膜層
- 6 半導体基板
- 7 保護膜層
- 8 上部ボンディングパッド部
- 9 金属配線
- 10 半導体装置
- 11 下部パッド部
- 12 絶縁膜層

【図2】

